

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願 年 月 日

Date of Application:

1993年 3月10日

願 番 号

Application Number:

平成 5年特許願第048981号

願

人

ant (s):

株式会社日立製作所

#5

CERTIFIED COPY OF
PRIORITY DOCUMENT

1993年10月 1日

特 許 庁 長 官

Commissioner,
Patent Office

麻 生 浩



出証番号 出証特平05-3011535

【書類名】 特許願

【整理番号】 1192034741

【提出日】 平成 5年 3月10日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F 1/133

【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動方法

【請求項の数】 17

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 太田 益幸

【発明者】

【住所又は居所】 茨城県日立市大みか町七丁目1番1号
株式会社 日立製作所 日立研究所内

【氏名】 津村 誠

【特許出願人】

【識別番号】 000005108

【郵便番号】 101

【住所又は居所】 東京都千代田区神田駿河台四丁目6番地

【氏名又は名称】 株式会社 日立製作所

【代表者】 金井 務

【代理人】

【識別番号】 100068504

【郵便番号】 100

【住所又は居所】 東京都千代田区丸の内一丁目5番1号
株式会社 日立製作所内

【弁理士】

【氏名又は名称】 小川 勝男

【電話番号】 03-3212-1111

【手数料の表示】

【納付方法】 予納

【予納台帳番号】 013088

【納付金額】 14,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003094

【プールの要否】 要

【書類名】 明細書

【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動方法

【特許請求の範囲】

【請求項1】

複数の走査配線と複数の信号配線との各交差部に能動素子、画素電極及び蓄積容量を有する画素を備え、前記走査配線に印加される信号によって順次前記画素を選択し、前記能動素子を介して前記選択された画素に映像信号を供給して表示を行うアクティブマトリクス型液晶表示装置において、

同時に選択される複数の画素を2つのグループに分け、第1のグループの画素には正負いずれか一方の極性の第1の映像信号を、第2のグループの画素には他方の極性の第2の映像信号をそれぞれ供給する映像信号発生回路と、

前記第1のグループの画素及び第2のグループの画素の選択期間に、前記第1のグループの画素には前記各画素に属する蓄積容量を介して前記第1の映像信号と逆極性の第1のバイアス信号を、前記第2のグループの画素には前記各画素に属する蓄積容量を介して前記第2の映像信号と逆極性の第2のバイアス信号を印加するバイアス信号発生回路とを具備したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】

特許請求の範囲第1項において、

前記映像信号発生回路は、1フレームごとに極性が反転する前記第1の映像信号および第2の映像信号を発生させることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項3】

特許請求の範囲第1項において、

前記第1のグループに属する画素の数と前記第2のグループに属する画素の数は、ほぼ等しいことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項4】

特許請求の範囲第1項において、

前記同時に選択される複数の画素は、順次 n 個($n \geq 1$)おきにそれぞれ第1

のグループ及び第2のグループに属するよう配置されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項5】

複数の走査配線と複数の信号配線との各交差部に能動素子、画素電極及び蓄積容量を有する画素を備え、前記走査配線に印加される信号によって順次前記画素を選択し、前記能動素子を介して前記選択された画素に映像信号を供給して所定の表示を行うアクティブマトリクス型液晶表示装置の駆動方法において、

同時に選択される複数の画素を2つのグループに分け、第1のグループの画素には正負いずれか一方の極性の第1の映像信号を、第2のグループの画素には他方の極性の第2の映像信号をそれぞれ供給し、

前記第1のグループの画素及び第2のグループの画素の選択期間に、前記第1のグループの画素には前記各画素に属する蓄積容量を介して前記第1の映像信号と逆極性の第1のバイアス信号を、前記第2のグループの画素には前記各画素に属する蓄積容量を介して前記第2の映像信号と逆極性の第2のバイアス信号を印加することを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項6】

複数の走査配線と複数の信号配線との各交差部にスイッチング素子、画素電極及び蓄積容量を有する画素を備え、前記スイッチング素子の制御端子を前記走査配線に、一方の主端子を前記信号配線に、他方の主端子を前記画素電極と前記蓄積容量の一方の端子に接続し、前記スイッチング素子を介して前記画素に映像信号を供給して表示を行うアクティブマトリクス型液晶表示装置において、

各走査配線に前記スイッチング素子を介して接続される画素を2つのグループに分け、前記走査配線を介して一方のグループの画素に正負いずれか一方の極性の映像信号を供給し、他方のグループの画素に逆極性の映像信号を供給する映像信号発生回路と、

前記各画素に属する蓄積容量の他方の端子に、該画素に供給される前記映像信号とは逆極性のバイアス信号を供給するバイアス信号発生回路とを設けたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 7】

特許請求の範囲第 6 項において、

前記バイアス信号発生回路は、前記走査配線を介して前記画素に走査電圧を供給する走査信号発生回路の中に含まれることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 8】

特許請求の範囲第 6 項において、

前記バイアス信号発生回路は、前記走査配線を介して前記画素に走査電圧を供給する走査信号発生回路とは別に設けられたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 9】

複数の走査配線と複数の信号配線との各交差部にスイッチング素子、画素電極及び蓄積容量を有する画素を備え、前記スイッチング素子の制御端子を前記走査配線に、一方の主端子を前記信号配線に、他方の主端子を前記画素電極と前記蓄積容量の一方の端子に接続し、各走査配線に前記スイッチング素子を介して接続される画素を 2 つのグループに分け、第 1 のグループの画素に属する蓄積容量の他方の端子を走査が 1 つ前の走査配線に接続し、第 2 のグループの画素に属する蓄積容量の他方端子を走査が 1 つ後の走査配線に接続した表示パネルと、

前記複数の走査配線に順次走査パルスを印加し、任意の走査配線に走査パルスを印加している時に、走査が 1 つ前の走査配線に正負いずれか一方の極性の第 1 のバイアス信号を印加し、走査が 1 つ後の走査配線に他方の極性の第 2 のバイアス信号を印加する走査バイアス信号発生回路と、

前記各画素に印加される前記第 1 または第 2 のバイアス信号とは逆極性の映像信号を前記各画素に供給する映像信号発生回路とを具備したことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 10】

特許請求の範囲第 9 項において、

前記走査配線に前記スイッチング素子を介して接続される画素は、順次 n 個 ($n \geq 1$) おきにそれぞれ第 1 のグループ及び第 2 のグループに属するよう配置

されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 1 1】

特許請求の範囲第 9 項において、

前記走査バイアス信号発生回路は、前記走査配線への走査パルス印加時に印加される前記第 1 のバイアス信号と第 2 のバイアス信号の極性が、1 フレーム期間内では前記走査パルスが印加される走査配線に依存せず一定であるバイアス電圧を発生させるものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 1 2】

特許請求の範囲第 9 項において、

前記走査バイアス信号発生回路は、前記走査配線への走査パルス印加時に印加される第 1 のバイアス信号と第 2 のバイアス信号の極性が、前記走査パルスが印加される走査配線が順次移動するに従い、それぞれ交互に反転するバイアス信号を発生させるものであり、

前記映像信号発生回路は、一水平期間ごとに順次極性が反転する第 1 の映像信号および第 2 の映像信号を発生するものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 1 3】

特許請求の範囲第 9 項において、

前記映像信号発生回路は、前記第 1 のグループの画素に属する画素電極に映像信号を供給する第 1 の映像信号発生回路と、前記第 2 のグループの画素に属する画素電極に映像信号を供給する第 2 の映像信号発生回路とから構成されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 1 4】

特許請求の範囲第 9 項において、

前記映像信号発生回路は、入力される映像信号データを順次記憶する第 1 のラッチまたはシフトレジスタと、水平同期信号に同期して記憶する第 2 のラッチと、ラッチまたはスルーを切り換えられる第 3 のラッチと、映像信号電圧を発生する電圧セレクタまたはサンプルホールド回路とを具備したことを特徴とするアク

ティブマトリクス型液晶表示装置。

【請求項 15】

特許請求の範囲第9項において、

前記走査回路は、1走査配線おきに順次走査パルスを印加するものであることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 16】

特許請求の範囲第9項において、

前記第1のグループの画素は、前記第1のグループの画素に属するスイッチング素子が接続された走査配線と該走査配線より走査が1つ前の走査配線との間に配置され、前記第2のグループの画素は、前記第2のグループの画素に属するスイッチング素子が接続された走査配線と該走査配線より走査が1つ後の走査配線との間に配置されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 17】

複数の走査配線と複数の信号配線との各交差部にスイッチング素子、画素電極及び蓄積容量を有する画素を備え、前記スイッチング素子の制御端子を前記走査配線に、一方の主端子を前記信号配線に、他方の主端子を前記画素電極と前記蓄積容量の一方の端子に接続し、各走査配線に前記スイッチング素子を介して接続される画素のうち奇数番目の画素および偶数番目の画素をそれぞれ前記蓄積容量の他方の端子を介して走査が1つ前の走査配線および走査が1つ後の走査配線に接続するか、奇数番目の画素および偶数番目の画素をそれぞれ前記蓄積容量の他方の端子を介して走査が1つ後の走査配線および走査が1つ前の走査配線に接続した表示パネルと、

前記複数の走査配線に順次走査パルスを印加し、任意の走査配線への走査パルス印加時に、走査が1つ前の走査配線に正負いずれか一方の極性の第1のバイアス信号を印加し、走査が1つ後の走査配線に他方の極性の第2のバイアス信号を印加する走査バイアス信号発生回路と、

前記信号配線を介し、前記各画素に印加される前記第1または第2のバイアス信号とは逆極性の映像信号を前記各画素に属する画素電極に供給する映像信号発生回路とを具備したことを特徴とするアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本発明は、液晶表示装置、特にアクティブマトリクス型の液晶表示装置及びその駆動方法に関する。

【0002】

【従来の技術】

アクティブマトリクス型液晶表示装置は、複数の走査配線と複数の信号配線の交点の近傍に薄膜トランジスタ素子（以下、TFTと称する）を設け、走査信号によって各TFTをオンさせ、この時信号配線を介して映像信号を各液晶画素に書き込み（充電）、さらにTFTのオフ時にこの充電状態を保持して、所定の画像を表示する。一般的な液晶材料を使用した場合、十分なコントラストを得るために、この映像信号電圧の最大値を約5～7Vに設定する必要がある。劣化防止のため、液晶は交流駆動されなければならない、結局振幅約10～14Vの振幅の電圧が信号配線に印加されることになる。従って、映像信号発生回路には5V耐圧の安価なLSIを用いることができず、装置のコストアップにつながる。

【0003】

これに対し、最近では、TFTや画素電極、蓄積容量（電圧保持用に設けられた容量素子）を設けた基板と対向する基板に形成された対向電極の電位を変化させたり、対向電極の電位を一定にしたまま、蓄積容量の接地電位を変化させることによって画素電極の電位にバイアス電圧を加え、信号配線に印加する映像信号電圧の振幅を低減する駆動方法が知られている。前者の駆動法の例としては特開平2-913号が、また後者の駆動法の例としては特開平4-145490号がある。

【0004】

【発明が解決しようとする課題】

しかし、上記従来の駆動方法では表示画面の水平方向に筋を引くような画質不良（以下、スミアと呼ぶ）に対する対策については考慮されていない。

【0005】

本発明の目的は、信号配線に印加する信号電圧の振幅を低減できると同時に水

平方向のスミアが発生せず表示特性の良いアクティブマトリクス型液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】

上記課題を解決するため、本発明では、複数の走査配線と複数の信号配線との各交差部にTFT、画素電極及び蓄積容量を有する画素を備え、前記走査配線に印加される信号によって順次前記画素を選択し、前記TFTを介して前記選択された画素に映像信号を供給して所定の表示を行うアクティブマトリクス型液晶表示装置において、同時に選択される複数の画素を2つのグループに分け、第1のグループの画素には正負いずれか一方の極性の第1の映像信号を、第2のグループの画素には他方の極性の第2の映像信号をそれぞれ供給する映像信号発生回路と、前記第1のグループの画素及び第2のグループの画素の選択期間に、前記第1のグループの画素には前記各画素に属する蓄積容量を介して前記第1の映像信号と逆極性の第1のバイアス信号を、前記第2のグループの画素には前記各画素に属する蓄積容量を介して前記第2の映像信号と逆極性の第2のバイアス信号を印加するバイアス信号発生回路とを設けた。

【0007】

【作用】

図16にアクティブマトリクス型液晶表示装置の水平方向に隣接する2画素の等価回路を示す。TFT5a, 5bのソース電極には画素電極が接続され、画素電極と対向電極の間に液晶層を挟持して液晶容量 C_{LC} 6a, 6bを形成する。

【0008】

TFT5a, 5bのソース電極には蓄積容量 C_S 7a, 7bが接続されている。対向電極は、全画素で共通の電極であり、蓄積容量の接地電極は(i-1)番目の走査配線3(またはストレージ配線8)に接続されている。従来の駆動方法では、対向電極電位 V_C は、全画素で同電位であり、蓄積容量の接地電位(以下、ストレージ配線電位と呼ぶ) V_S は、全画素で同電位または少なくとも1行上の画素においては同電位であるので、少なくとも1行上の画素には全て同極性のバイアス電圧が印加される。そして、奇数列の信号配線2および偶数列の信号配線

4にはそれぞれ同極性の信号電圧 $V_D(2j-1)$ と $V_D(2j)$ とが印加される。

【0009】

そのため、信号配線2および信号配線4と対向電極間の容量100a, 100b, 信号配線2および信号配線4とストレージ配線8の交差容量101a, 101bを介して、信号電圧 $V_D(2j-1)$, $V_D(2j)$ の変動が及ぼす、対向電極電位 V_C およびストレージ配線電位 V_S へのノイズが、同極性（一方向性）になり、その大きさが顕著になる。電位 V_C , V_S の変動量およびこれらが元の電位に復帰するまでの時間は、信号電圧 V_D の変動量と1行上の負荷状態に依存する。また、1行上で同極性の電圧によって各画素を充電するので、充電電流 I_{on} の流出入方向が一方向となり、この充電電流 I_{on} が安定しようとしている対向電極およびストレージ配線に流れ込み、それらの電位 V_C , V_S の復帰を妨げる。画素に書き込まれる電圧は、TFT 5a, 5bがオフする時の画素電極電位と対向電極電位 V_C とストレージ配線電位 V_S によって決定されるので、上記の電位の変動がTFT 5a, 5bのオフするまでにどれだけ残存しているかによって画素への書き込み電圧が変わり、これによりその画素の明るさが変動する。上記の電位変動のTFTがオフする瞬間の残存量を決定する信号電圧 V_D の変動量、配線の負荷状態および充電電流は1行上の表示パターンに依存する。その結果、表示パターンによっては、クロストークの一種である、特に水平方向にすじを引くような画質不良、すなわちスミアが発生する。

【0010】

本発明のアクティブマトリクス型液晶表示装置では、蓄積容量を介して液晶にバイアス電圧を重畳させることができ、映像信号電圧の大きさを低減することができる。さらに、同時に選択される画素を2つのグループに分け、第1のグループの画素電極と第2のグループ画素電極に書き込む映像信号電圧の極性を互いに反転させて駆動することができるため、次のような作用により、水平方向のスミアが軽減される。

【0011】

①表示パターンに依存する信号電圧 V_D の変動が、信号配線—ストレージ配線

(または走査配線)間の交差容量を介して及ぼす蓄積容量の接地配線電位の変動が、双方向性を持ち、1行において相殺される。

【0012】

②表示パターンに依存する信号電圧 V_D の変動が、信号配線-対向電極間の容量を介して及ぼす対向電極電位 V_C の変動が、双方向性を持ち、相殺される。

【0013】

③表示パターンに依存する映像信号電圧 V_{SIG} (液晶に印加される電圧であり、信号電圧 V_D とは異なる)が、画素内に書き込まれる時の充電電流により及ぼされるストレージ配線(または走査配線)電位の変動が、充電電流の流出入が双方向性を持ち、相殺される。

【0014】

④表示パターンに依存する映像信号電圧 V_{SIG} が、画素内に書き込まれる時の充電電流により及ぼされる対向電極電位 V_C の変動が、充電電流の流出入が双方向性を持ち、相殺される。

【0015】

⑤表示パターンに依存する映像信号電圧 V_{SIG} が、画素内に書き込まれる時の充電電流により及ぼされるストレージ配線(または走査配線)電位の変動が、走査配線(蓄積容量 C_S の接地配線)が2系統の配線に別れているため、充電電流の流出入による走査配線電位の変動が緩和される。

【0016】

⑥表示パターンに依存する映像信号電圧 V_{SIG} が、画素内に書き込まれる時の充電電流により及ぼされる対向電極電位の変動が、対向電極が2系統の配線に別れているため、充電電流の流出入による走査配線電位の変動が緩和される。

【0017】

これらにより、対向電極電位 V_C 及びストレージ配線(または走査配線)電位の変動量(ノイズ)がキャンセルまたは低減し、電位が安定するまでの時間も早くなるので、画素に書き込まれる充電電圧が安定する。その結果、表示パターンに依存しなくなり、水平方向のスミアが解消される。

【0018】

【実施例】

以下、本発明を実施例により具体的に説明する。

【0019】

〔実施例1〕

図1は本発明のアクティブマトリクス型液晶表示装置の第1の実施例の回路構成、図2はその画素部の平面構造の一例、図3は図2のA-Bに沿った断面図を示す。

【0020】

図3に示すように、表示パネル10は、TFTや画素電極などを形成したTFT基板30と、TFT基板30と対向して配置され全面に対向電極を形成した対向基板31と、これら2枚の基板の間に挟持された液晶層32とから構成される。

TFT基板30は、ガラス基板(例えば、厚さ1.1mm)などの絶縁基板上にITO(インジウムチンオキサイド)で形成されるマトリクス状の透明な画素電極20(例えば、640×3×480個)と、各画素電極20にソース電極22を電氣的に接続したアモルファスシリコン(a-Si)21を用いたTFT5と、各画素電極20に電氣的に接続した蓄積容量 C_S 7と、ゲート電極を行方向に共通接続した走査配線(例えば、481本)と、ドレイン電極を列方向に共通接続した信号配線(例えば、640×3本)とを設け、さらにその上に保護膜35と配向膜36を形成したものである。また、対向基板31は、同じくガラス基板などの絶縁基板上にR、G、Bの行方向にストライプ状のカラーフィルタ、その上に平坦化膜38、さらに基板全体にITOからなる対向電極33、配向膜36を形成したものである。TFT基板30上の配向膜と対向基板31上の配向膜はその方向が互いに直交するようにラビングされ、両基板間にネマチック液晶を封入し、基板の両側に電圧無印加時に開口部23から光が透過する(ノーマリオープンモード)ように2枚の偏光板39を貼りつける。

【0021】

TFTは、ゲート電極を最下層に、ドレイン、ソース電極を最上層に設けた逆スタガ構造である。ゲート電極は走査配線の一部、ドレイン電極は信号配線の一

部によってそれぞれ構成される。画素電極20は、信号配線と同層同一材料で形成されるTFTのソース電極22と電氣的に接続される。蓄積容量 C_S 7は、走査配線1または3の一部と画素電極20の一部及びそれらの間に挟まれたゲート絶縁膜34とで形成される。対向電極33は全ての画素で共通とした。

【0022】

本実施例では、図1に示すように($i-1$)番目の走査配線と i 番目の走査配線とで挟まれた画素を奇数列のグループと偶数列のグループにと分けた。そして、奇数列のグループに属する画素のTFTのゲート電極を($i-1$)番目の走査配線に共通接続し、同じグループの蓄積容量 C_S の接地電極を i 番目の走査配線に共通接続し、また、偶数列のグループに属するTFTのゲート電極を i 番目の走査配線に共通接続し、同じグループの蓄積容量 C_S の接地電極を($i-1$)番目の走査配線に共通接続した。ここで、 i は、 $2 \leq i \leq M$ (M : 全走査配線数)を満たす任意の整数である。また、ある走査配線に接続されるTFTの配置をみると、奇数列ではその走査配線の下側TFTと、また偶数列では上側のTFTと接続され、走査配線に対してジグザグ状に交互に接続される。

【0023】

このように構成された表示パネルの各走査配線には、順次走査パルスが発生する走査側駆動LSI11を接続し、各信号配線には5V耐圧の映像信号電圧を発生する信号側駆動LSI12を接続した。

【0024】

次に本実施例の駆動方法を説明する。図4はその駆動波形であり、3本の相隣あった($i-1$)番目、 i 番目及び($i+1$)番目の走査配線に印加する走査電圧 $V_G(i-1)$ 、 $V_G(i)$ 及び $V_G(i+1)$ 、対向電極電位 V_C 、($2j+1$)番目(奇数列)の信号配線に印加する信号電圧 $V_D(2j-1)$ 及び $2j$ 番目(偶数列)の信号配線に印加する信号電圧 $V_D(2j)$ を示した。

【0025】

各走査配線に印加する走査信号 V_G は、TFTをオン状態にするための走査パルスと、その前後の時間に重畳された振幅 V_B^* の正負のバイアスパルスからなっている(本実施例では正負同振幅としているが、正負の振幅が異なってもよい)。

そのため、走査側駆動LSIには、少なくとも4値以上の電圧を出力できるLSIを用いる。液晶は交流駆動されなければならないので、奇数フレームと偶数フレームで逆極性の電圧を液晶に印加する。そのため、走査配線に印加する電圧波形は図4に示すように、奇数フレームでは、幅 $(1H - t_{d1})$ ($1H$: 1水平期間)の走査パルスの1H前に幅1Hの正極性のバイアスパルス、走査パルスの直後に幅 $(1H + t_{d2})$ の負極性のバイアスパルスを重畳した波形であり、偶数フレームでは、走査パルスの1H前に幅1Hの負極性のバイアスパルス、走査パルスの直後に幅 $(1H + t_{d2})$ の正極性のバイアスパルスを重畳した波形である。 i 番目の走査配線に印加する走査パルスの立ち上げは、 $(i - 1)$ 番目の走査配線に印加する走査パルスが十分に立ち下がってから(TFTが完全にオフになってから)行う必要があり、この立ち下がりに必要な時間を t_{d1} で示した。また、 i 番目の走査配線へのバイアス電圧の印加は、同じ走査配線の走査パルスが十分に立ち下がってから行う必要があり、この立ち下がりに必要な時間を t_{d2} で示した。 t_{d1} , t_{d2} は、例えば $3\mu s$ 程度とする。また、ある走査配線によって選択される画素への信号の書き込みが終了し、次の走査配線によって選択される画素に信号を書き込む際にも、前者の走査配線に印加される走査パルスが十分に立ち下がってから信号電圧 V_D を変化させる必要があり、その時間間隔を t_{d2} と同一とした。

【0026】

図15に示すような液晶の印加電圧-透過光強度曲線に合わせ、信号配線に印加する電圧の最大振幅 V_{DPP} が最小($V_{DPP} = V_{max} - V_{th}$)になるよう、バイアスパルスの振幅 V_B^* を次のように設定する。まず、走査信号に重畳された振幅 V_B^* のバイアス電圧により実際に液晶層に加えられるバイアス電圧 V_B は、次式のよう設定される。

【0027】

$$V_B = (V_{max} + V_{th}) / 2 \quad \dots (数1)$$

ここで、 V_{th} は、図15の液晶の印加電圧-透過光強度曲線の光学しきい値電圧、 V_{max} は、ノーマリオープンの際の黒表示を得る電圧である。本実施例では、対向電極電位 V_C は一定であるので、バイアス電圧 V_B を与えるために、 V_B^* は

次のように設定される。

【0028】

$$V_{B^*} = V_B \cdot (C_S + C_{LC} + C_{GS}) / C_S \quad \dots (\text{数} 2)$$

ここで C_{GS} は、TFTのゲート-ソース間容量である。

【0029】

例えば、 $V_{th} = 2\text{ V}$ の液晶を用い、 $V_{max} = 5\text{ V}$ に設定することによって、 $V_{Dpp} = 3\text{ V}$ 、 $V_B = 3.5\text{ V}$ となる。したがって、 $C_S = 3 C_{LC}$ の画素を設計し、さらに $C_{GS} \ll C_S$ 、 C_{LC} であるのでバイアス電圧の振幅は $V_{B^*} = 4.7\text{ V}$ と設定される。 $V_{Dpp} < 5\text{ V}$ により、5 V耐圧の安価なLSIを用いることができ、しかもコントラスト比60を得ることができる。

【0030】

図4の駆動波形において、奇フレームでは、 i 番目の走査配線に走査パルスが印加された時、 $(i+1)$ 番目の走査配線には、正のバイアス電圧 V_{B^*} が印加され、 $(i-1)$ 番目の走査配線には、負のバイアス電圧 $(-V_{B^*})$ が印加される。同時に、奇数列の信号配線には負極性の信号電圧 $(-V_D)$ を印加し、偶数列の信号配線には正極性の信号電圧 $(+V_D)$ を印加することによって、奇数列の画素と偶数列の画素の蓄積容量 C_S には、互いに逆極性の電圧 $\pm V_{SIG^*} (= \pm V_{B^*} \pm V_D$ ：複号同順)が書き込まれる。すなわち、同時に選択される画素のうち、奇数列の画素には正極性のバイアス電圧と負極性の信号電圧が、偶数列の画素には負極性のバイアス電圧と正極性の信号電圧がそれぞれ印加される。バイアス電圧の極性と信号電圧の極性は互いに逆である。そして、 $(i-1)$ 番目、 i 番目、 $(i+1)$ 番目の走査配線の電位がオフレベルに戻った時、奇数列の画素と偶数列の画素の液晶には互いに逆極性の映像信号電圧 $\pm V_{SIG} (= \pm V_B \pm V_D$ ：複号同順)が印加され、液晶層の透過率を制御する。ここで V_D は中心電圧 $V_{D-CENTER}$ から電位差を表わし、黒表示の時は 1.5 V であり、白表示の時は -1.5 V である。一方、偶フレームでは、奇フレームに対してバイアス電圧および信号電圧の極性は反転する。

【0031】

本実施例では、一本の走査配線に対し両側にジグザグ状にTFTを接続した構

成としたので、画像信号データをアドレッシングするシーケンスをこのような接続に合わせる手段を画像源側に設けた。

【0032】

以上のように、本実施例では信号配線に印加する電圧の振幅を低減しながら良好なコントラスト比を得ることができる。

【0033】

さらに同時に、あるフレームにおいて画素に書き込む信号電圧の極性を1列毎に反転させる。これにより、1H内で、信号電圧 V_D の変化による信号配線と対向電極間、信号電極と走査配線間の容量を介して対向電極電位と走査配線の電位に表れるノイズは、水平方向に隣接する画素間で、互いにキャンセルする。また、1H内で、映像信号電圧が書き込まれることによる充電電流の一方向性により、液晶容量を介して対向電極に流れ込む電流による対向電極電位に表れるノイズも、隣接する画素間で、互いにキャンセルする。また、1H内で、映像信号電圧が書き込まれることによる充電電流の一方向性により、蓄積容量を介して走査配線に流れ込む電流による走査配線の電位に表れるノイズは、2系統のラインで電位を安定させているので、ノイズを引き込む能力が約2倍になり、電位が安定する時間が短くなる。これにより、画素に書き込まれる電圧が水平方向の表示パターンによる依存性が少なくなり、その結果、水平方向に発生するスミアが大幅に軽減される。

【0034】

さらに、1列毎に映像信号電圧の極性を反転しているので、奇数フレームと偶数フレームの印加電圧の差による輝度の変化を空間に平均化し、ちらつき（フリッカ）は発生しない。

【0035】

本実施例のような画素マトリクス構成および駆動方法を用いることによって、5V耐圧以下の安価なLSIを用いても十分なコントラストを得ることができ、かつ、同時に水平方向のスミアを大幅に低減できる効果が得られる。

【0036】

また、対向電極電位 V_C を変化させる方式では、対向電極を行方向（水平方向）

にストライプ状に分割して奇数行と偶数行に分ける必要があり、製造工程に対向電極を分割形成する工程が必要になって、歩留まりスループットを低下させるが、本実施例のような画素マトリクス構成と駆動方法を用いると対向電極が全面素で共通で良く、対向電極を分割形成する工程が無くなり、歩留まり、スループットが向上する。さらに、蓄積容量 C_S の接地配線に走査配線を用いているので、蓄積容量 C_S の接地配線及び駆動LSIを増やすことなく実現できる。

【0037】

なお、本実施例では、スイッチング素子として、 $a-SiTFET$ を用いたが、特にこれに限定するものではなく $p-SiTFET$ 、 $MOSFET$ 等でも良い。

【0038】

また、同じ走査配線によって選択される画素を奇数列のグループ（第1のグループ）と偶数列のグループ（第2のグループ）に分けたが特にこれに限定するものではなく、2つのグループに分割すればよい。例えば、連続した n 列（ $n=1, 2, 3, \dots$ ）を1つの単位とし、奇数番目の単位を第1のグループに、偶数番目の単位を第2のグループに属するように分割してもよい。この場合にも、やはり第1のグループの画素と第2のグループの画素には、蓄積容量を介して互いに逆極性のバイアス電圧が、画素電極に互いに逆極性の信号電圧が印加される。もちろんこの場合にも、同一の画素に印加されるバイアス電圧と信号電圧とは互いに逆極性である。グループの分け方として、特に各グループに属する画素の数が同数になるよう分割するとノイズのキャンセル効果が最大となり、本実施例のように1列毎に分割するとさらに効果的である。

【0039】

〔実施例2〕

本実施例の構成は下記の要件を除けば、実施例1と同じである。

【0040】

実施例1では、映像信号データをアドレッシングするシーケンスを、一本の走査配線に対し両側にジグザグ状に $TFET$ を接続したマトリクス構成に合わせる手段を画像源側に設けた。しかし、一般のパソコン等の画像源とコンパチビリティを持たせるためには、実施例1のようなマトリクス構成では、奇数列の映像信号

データを偶数列の映像信号データより、1 Hだけ遅らせる必要がある。そこで、図5に示すようにコントローラ61から出力される偶数列の映像信号データを下側の信号側駆動LSI12に inputsするバスライン上に1/2ラインメモリ62を用いて1行の偶数列のデータを1 Hだけホールドし、1 Hだけ遅らせて下側の信号側駆動LSI12に inputsした。ここでは映像信号データとしてノンインターレースの信号を用いている。本実施例では1/2ラインメモリ62を用いたが、このメモリを、コントローラ61の内部に設けても良い。

【0041】

本実施例では、実施例1の効果に加え、パソコン等の汎用画像源との接続が可能になるという効果がある。

【0042】

〔実施例3〕

本実施例の構成は下記の要件を除けば、実施例1と同じである。

【0043】

映像信号データを一本の走査配線に対し両側にジグザグ状にTFTを接続したマトリクス構成に合わせるために、図7に示すような信号側駆動LSI12を用いても良い。この信号側駆動LSI12は、映像信号データを順次記憶するラッチまたはシフトレジスタ71と、水平同期信号に同期して記憶するラッチ73と、ラッチまたはスルーを切り換えられるラッチ72と、映像信号電圧 V_D を発生する電圧セレクタまたはサンプルホールド回路74を有している。ラッチまたはスルーを切り換えられるラッチ72を上側の信号側駆動LSI12ではスルーに、下側の信号側駆動LSI12ではラッチに設定しておけば、下側の信号電圧 V_D は上側の信号電圧 V_D より1 Hだけ位相が遅れる。

【0044】

本実施例では、実施例1の効果に加え、実施例2と同様にパソコン等の汎用画像源との接続が可能になるという効果がある。

【0045】

〔実施例4〕

本実施例の構成は下記の要件を除けば、実施例1と同じである。

【0046】

図7に、本実施例での駆動波形を示す。本実施例では走査配線を1行おきに飛び越して走査（インターレース）した。これにより、次の走査配線の走査パルスは前の走査配線の走査パルスが十分に立ち下がるのを待つ必要が無く、図4に示す時間間隔 t_{d1} は不要となる。これにより、実施例1と比較し、走査パルスのパルス幅を t_{d1} の時間幅（例えば $3\mu s$ ）増やすことができるため、選択時の容量素子（液晶容量、蓄積容量）への充電を十分に行え、充電不良を低減できる。本実施例ではインターレース信号を1/4フレームメモリを用いて、偶数列の1/2フレーム分の映像信号データを記憶し1/2フレームだけ遅らせて、偶数列の各信号配線に映像信号電圧を出力した。

【0047】

本実施例では、実施例1の効果に加え、選択時の容量素子への充電不良を低減でき、輝度むらを低減できる効果が得られる。

【0048】

〔実施例5〕

本実施例の構成は下記の要件を除けば、実施例1と同じである。

【0049】

本実施例ではさらに1行毎に信号電圧 V_D の極性を反転させた。このとき、バイアスパルスの極性も1行毎に反転させる。図8にその駆動波形を示す。このように、1行毎に映像信号電圧の極性を反転させることによって、1フレームにおける信号電圧 V_D による信号配線と画素電極間の容量を介して画素電極電位へのノイズが1フレームにおいて平均化され、水平方向のスミアに加えて、列方向の表示パターンに依存する垂直方向のスミアを低減できる。

【0050】

本実施例では、実施例1の効果に加え、垂直方向のスミアを解消できる効果も得られる。

【0051】

〔実施例6〕

本実施例の構成は下記の要件を除けば、実施例1と同じである。

【0052】

図9に本実施例で用いた画素の平面構成を示す。本実施例では画素電極20をTFTの列方向の両側に、TFTをまたいで形成し、2つの開口部23を設けた。これにより、同一走査ラインで走査される画素電極に重なりを持たせることができ、かつ、同一走査ラインで走査される奇数列の蓄積容量 C_S と偶数列の蓄積容量 C_S を互いに異なる走査配線に接続することができる。本実施例では電気回路的な画素マトリクス構成は実施例1と同じであるが、実際の空間的な画素マトリクス構成が実施例1と異なる。本実施例では電氣的に奇数列と偶数列の信号電圧が1Hだけ位相がずれた分を空間的に矯正し、奇数列と偶数列の信号電圧の位相を1Hだけずらさなくとも、表示パターンは正常に表示される。

【0053】

本実施例では、実施例1の効果に加え、奇数列と偶数列の信号電圧の位相を1Hだけずらす必要がないので、実施例2や実施例4のように1/2ラインメモリまたは1/4フレームメモリが不要となり、コントローラ等を含むモジュールコストが低減できる効果がある。

【0054】

〔実施例7〕

図10に本実施例のアクティブマトリクス型液晶表示装置の回路図を示す。対向電極を列方向にストライプ状に形成し、奇数列の対向電極のグループと偶数列の対向電極のグループに分けて共通接続し、それぞれ、第1のバイアス回路13および第2のバイアス回路14に接続している。また、蓄積容量 C_S を、走査配線と同層同一材料で構成した配線（ストレージ配線）と画素電極とその間に挟持したゲート絶縁膜で形成し、奇数列の画素群の蓄積容量を、ストレージ配線S1に共通接続し、偶数列の画素群の蓄積容量を、ストレージ配線S2に共通接続した。ストレージ配線S1は、同じく全ての行において共通接続され、第1のバイアス回路13に接続され、ストレージ配線S2は、全ての行において共通接続され、第2のバイアス回路14に接続されている。本実施例では、1行上の画素を奇数列のグループと偶数列のグループに分けたが、特に限定されるものではなく、共通の走査配線に属し、同時に選択される画素群を、2つのグループに分けれ

ばよい。特に1列毎に分割すると、極性反転の周期が短くなり、フリッカ（ちらつき）が最も良く抑えられ、効果的である。ただし、1列毎に分割すると分割数が多くなり、対向電極間のショート確率が高くなるので複数列毎に行った方が良く、フリッカとのトレードオフによって決定するのが良い。本実施例では特に1列毎（奇数列と偶数列に）の分割とした。

【0055】

図11は本実施例の駆動波形である。ストレージ配線及び対向電極には、第1のバイアス回路13および第2のバイアス回路14から出力される交流周期2フレームで振幅 $2V_B^*$ の矩形波 V_S 及び V_C を印加した。第1のバイアス回路13から出力される波形と第2のバイアス回路14から出力される波形の位相差は180度（逆極性）であり、奇数列の画素と偶数列の画素では互いに逆極性の電圧が重畳されるようにした。液晶は交流駆動されなければならないので、奇数フレームと偶数フレームで逆極性のバイアス電圧を液晶に印加する。極性反転は、帰線期間中に行った。一方、偶数列の信号配線と奇数列の信号配線に出力される信号電圧は、互いに逆極性の電圧とし、それぞれ、1フレーム毎に反転させた交流電圧とした。

【0056】

バイアスパルスの振幅 $2V_B^*$ は、液晶に印加されるバイアス電圧 V_B が $V_{th} \leq V_B \leq V_{max}$ の範囲となるよう、そして信号配線に印加する電圧の最大振幅 V_{DPP} が最小（ $V_{DPP} = V_{max} - V_{th}$ ）になるように、図15の印加電圧-透過光強度曲線に合わせて、次のように設定される。まず、 V_B は実施例1と同様（数1）によって設定される。 $C_{GS} \ll C_S$, C_{LC} （ C_{GS} : TFTのゲートソース間容量, C_S : 蓄積容量, C_{LC} : 液晶容量）とすると、振幅 $2V_B^*$ のバイアスパルスにより液晶印加電圧には $V_B = V_B^*$ のバイアス電圧が与えられることになる。例えば $V_{th} = 2V$ の液晶を用い、 $V_{max} = 5V$ に設定することによって、 $V_{DPP} = 3V$, $V_B = 3.5V$ となる。従って、バイアスパルスの振幅は $2V_B^* = 7V$ に設定される。

【0057】

奇数列と偶数列の極性を1列毎に反転するために、信号側駆動LSI12を上

下分割し、奇数列の信号配線を上側の信号側駆動LSIに、偶数列の信号配線を下側の信号側駆動LSIに接続し、上側の信号側駆動LSIと下側の信号側駆動LSIから出力される電圧を、互いに逆極性の電圧にしてもよい。映像信号電圧としては $\pm V_{SIG}(=\pm V_B \pm V_D)$ ：複号同順が印加されるように極性を制御し、一列ごとに映像信号電圧の極性を反転させる。ここで V_D は中心電圧 $V_{D-CENTER}$ から電位差を表わし、黒表示の時は $1.5V$ であり、白表示の時は $-1.5V$ である。

【0058】

本実施例では、 $V_{DPP}=3V<5V$ により、信号側駆動LSIに $5V$ 耐圧のLSIを用いることができ、LSIの直材費が低減できるとともに、コントラスト比60を得ることができた。また、作用④および⑤により、水平方向のスミアが軽減した。ここで、水平方向のスミアのテストパターンとして、背景が透過率50%の中間調および背景が透過率10%の中間調に全画面の $1/2$ の面積(240行 \times 320(\times 3)列)の白ウィンドウパターンおよび黒ウィンドウパターンを表示した状態を用いた。フリッカーもほとんど確認できず良好な表示品質を得ることができた。

【0059】

〔実施例8〕

図12に本実施例のアクティブマトリクス型液晶表示装置の回路図を示す。対向電極を全画素一面に形成した。蓄積容量 C_S をストレージ配線と画素電極及びその間に挟持したゲート絶縁膜で形成し、奇数列の画素群の蓄積容量をストレージ配線S1に共通接続し、偶数列の画素群の蓄積容量をストレージ配線S2に共通接続した。ストレージ配線S1およびストレージ配線S2は、各行で独立に(電氣的に分離して)バイアス用駆動LSI15に接続されている。対向電極は全画素共通で同電位である。

【0060】

図13は本実施例の駆動波形である。それぞれのストレージ配線には、バイアス用駆動LSI15からその行(1行)の選択期間にバイアスパルスを印加する。奇数列の画素と偶数列の画素には互いに逆極性の電圧が重畳されるように、ス

トレージ配線 S1 とストレージ配線 S2 に印加するバイアスパルスの極性を反転する。また、液晶は交流駆動されなければならないので、奇数フレームと偶数フレームで逆極性のバイアス電圧を液晶に印加する。本実施例では、対向電極が全画素で共通であるので、対向電極電位 V_C を一定にし、蓄積容量のみから極性の異なる 2 電圧を供給してバイアス電圧を与える。

【0061】

バイアスパルスの振幅 $V_B^*(+)$, $V_B^*(-)$ は次のように設定される。まず、液晶に印加されるバイアス電圧 V_B は実施例 1 と同様 (数 1) によって設定される。 $V_B^*(+) + V_B^*(-) = 2 V_B^*$ 、特に $V_B^*(+) = V_B^*(-) = V_B^*$ とすると、対向電極電位 V_C は一定であるので、 V_B^* と V_B との関係は (数 2) によって与えられる。例えば、 $V_{th} = 2 V$ の液晶を用い、 $V_{max} = 5 V$ に設定すると、 $V_B = 3.5 V$ となる。 $C_S = 3 C_{LC}$ の画素を設計すると、 $C_{GS} \ll C_S$ 、 C_{LC} であるので、 $V_B = 3.5 V$ にするために、 $V_B^* = 4.7 V$ と設定される。

【0062】

本実施例においても実施例 7 と同様に、映像信号電圧としては $\pm V_{SIG} (= \pm V_B \pm V_D$: 複号同順) が印加されるように極性を制御し、一列毎に映像信号電圧の極性を反転させた。また、バイアスパルスは、その行の TFT が完全にオフになってから立ち下げなければならない。走査波形の最大遅延時間 t_d は例えば $3 \mu s$ であり、バイアスパルス幅を $1 H + t_d$ とした。

【0063】

本実施例では、実施例 7 と同様に $V_{Dpp} < 5 V$ により、 $5 V$ 耐圧の LSI を用いることができ、コントラスト比 60 を得ることができた。また、本実施例のような構成とした結果、作用①、②、④および⑤により、水平方向のスミアが全く確認できなかった。フリッカーは、実施例 7 と同様にほとんど確認できず良好な表示品質を得ることができた。

【0064】

さらに本実施例の構成を用いれば、実施例 7 のように対向電極を分割形成する工程が不要であり、スループットの向上、レジスト材などの直材費の低減が図れ、歩留まりも向上できるのでパネルの製造コストを低減できる。

【0065】

〔実施例9〕

本実施例の構成は下記の用件を除けば、実施例8と同一である。

【0066】

図14は本実施例の蓄積容量部の平面パターンを示す。蓄積容量は、走査配線または走査配線と同層のストレージ線と画素電極の一部とゲート絶縁膜で構成されている。走査配線と画素電極は異層であるので、ホトマスクのアライメント精度により、パネルの有る領域において蓄積容量の大きさが異なり、バイアス電圧の値が変わる。それにより、輝度のバラツキが生じて、ブロック状態のムラが発生する。従って、図14のようにマスクが前後左右にずれても走査配線または走査配線と同層のストレージ線と画素電極の一部の交差面積が変わらないよう平面パターンにした。

【0067】

本実施例では、実施例8の効果に加え、マスクずれによるブロックムラを解消できる。

【0068】

【発明の効果】

本発明によれば、蓄積容量の接地電位を変化させて画素電極電位にバイアスを加えて信号配線に印加する電圧を低電圧化でき、同時にクロストーク（特に水平方向のスミア）がなく、低コストでかつ表示特性の良好なアクティブマトリクス型液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例における回路構成を示す図。

【図2】

本発明の第1実施例における画素部の平面構造を示す図。

【図3】

図2のA-Bに沿った断面図。

【図 4】

本発明の第 1 実施例における駆動電圧波形を示す図。

【図 5】

本発明の第 2 実施例における信号電圧発生部のブロック図。

【図 6】

本発明の第 3 実施例における信号側駆動 L S I の構成を示す図。

【図 7】

本発明の第 4 実施例における駆動電圧波形を示す図。

【図 8】

本発明の第 5 実施例における駆動電圧波形を示す図。

【図 9】

本発明の第 6 実施例における画素部の平面構造を示す図。

【図 10】

本発明の第 7 実施例における回路構成を示す図。

【図 11】

本発明の第 7 実施例における駆動電圧波形を示す図。

【図 12】

本発明の第 8 実施例における回路構成を示す図。

【図 13】

本発明の第 8 実施例における駆動電圧波形を示す図。

【図 14】

本発明の第 9 実施例における蓄積容量部の平面構成を示す図。

【図 15】

液晶表示装置の印加電圧－透過光強度曲線を示す図。

【図 16】

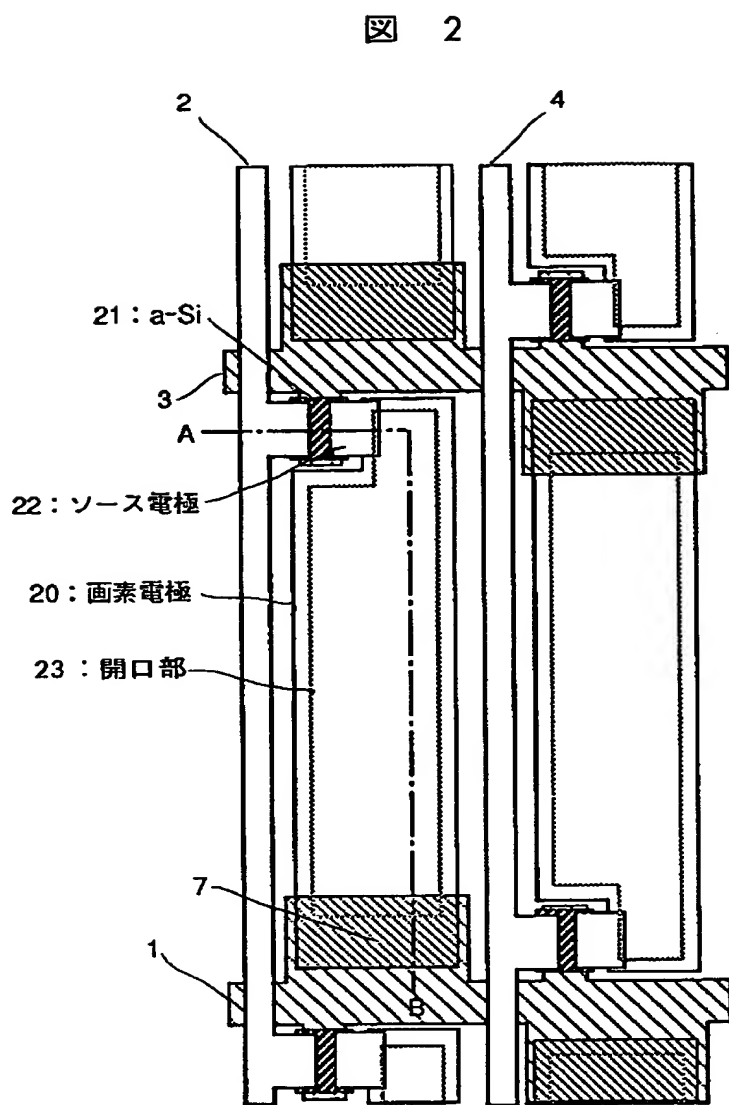
アクティブマトリクス型液晶表示装置の隣接する 2 画素の等価回路を示す図。

【符号の説明】

1, 3…走査配線、2, 4…信号配線、5…TFT、6…液晶容量、7…蓄積容量、8…ストレージ配線、11…走査側駆動 L S I、12…信号側駆動 L S I

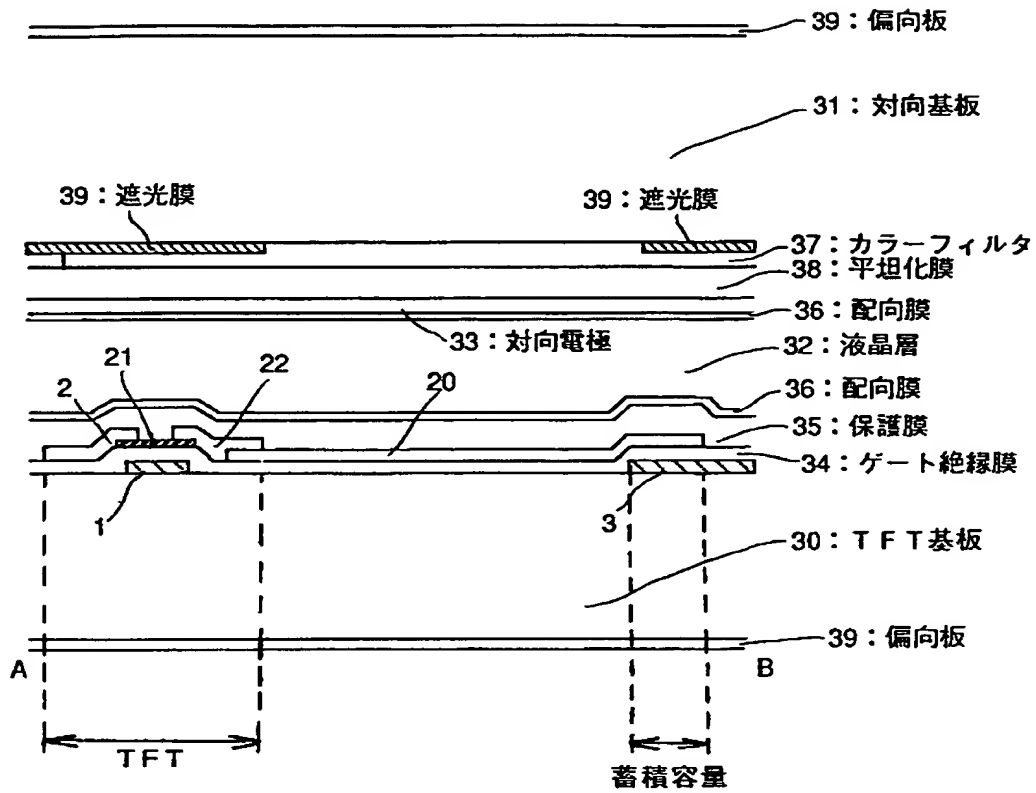
、15…バイアス用駆動LSI、20…画素電極、21…a-Si、22…ソース電極、23…開口部、30…TFT基板、31…対向基板、32…液晶層、33…対向電極、34…対向電極、35…保護膜、36…配向膜、37…カラーフィルタ、38…平坦化膜、39…偏向板、61…コントローラ、62…1/2ラインメモリ、71…ラッチ/シフトレジスタ、72…スルーラッチ、73…ラッチ、74…電圧セクタ/サンプルホールド回路。

【図 2】



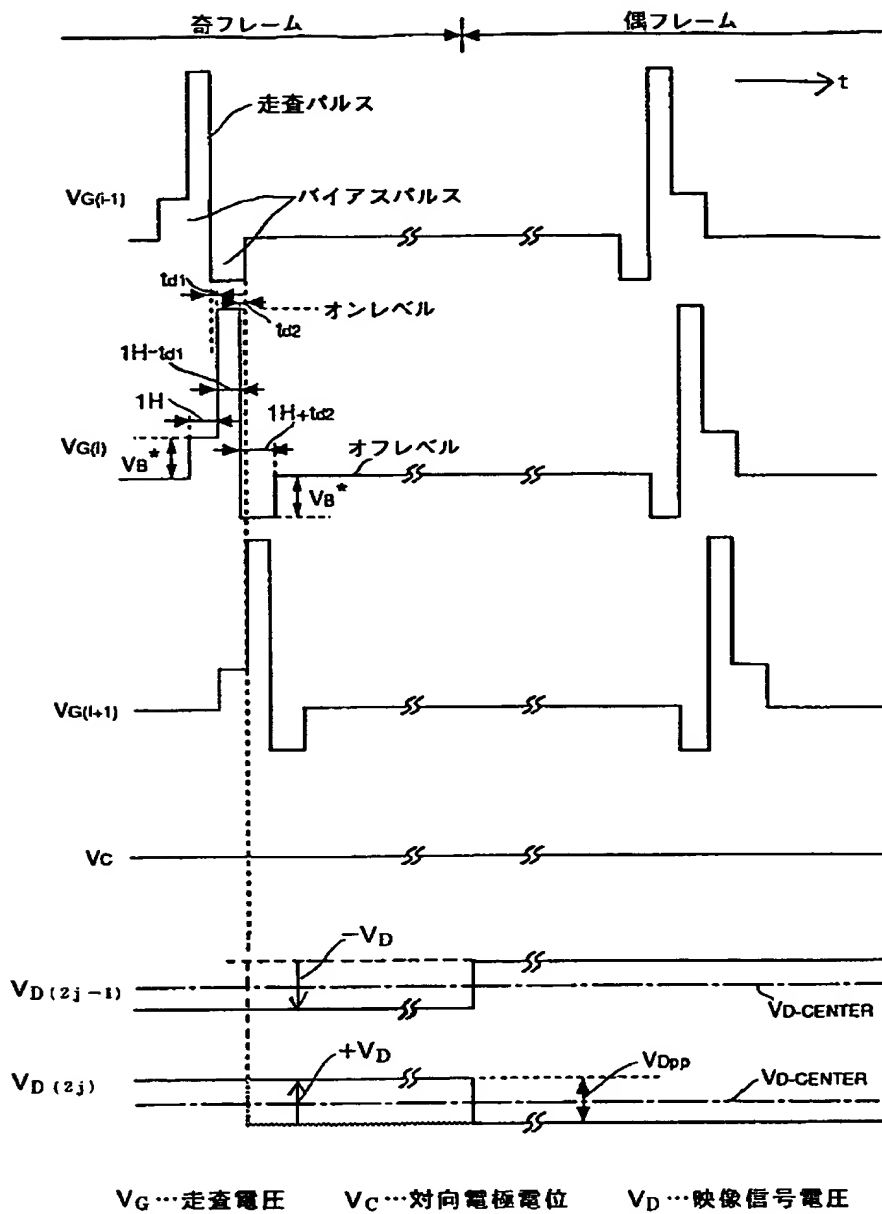
【図3】

図 3



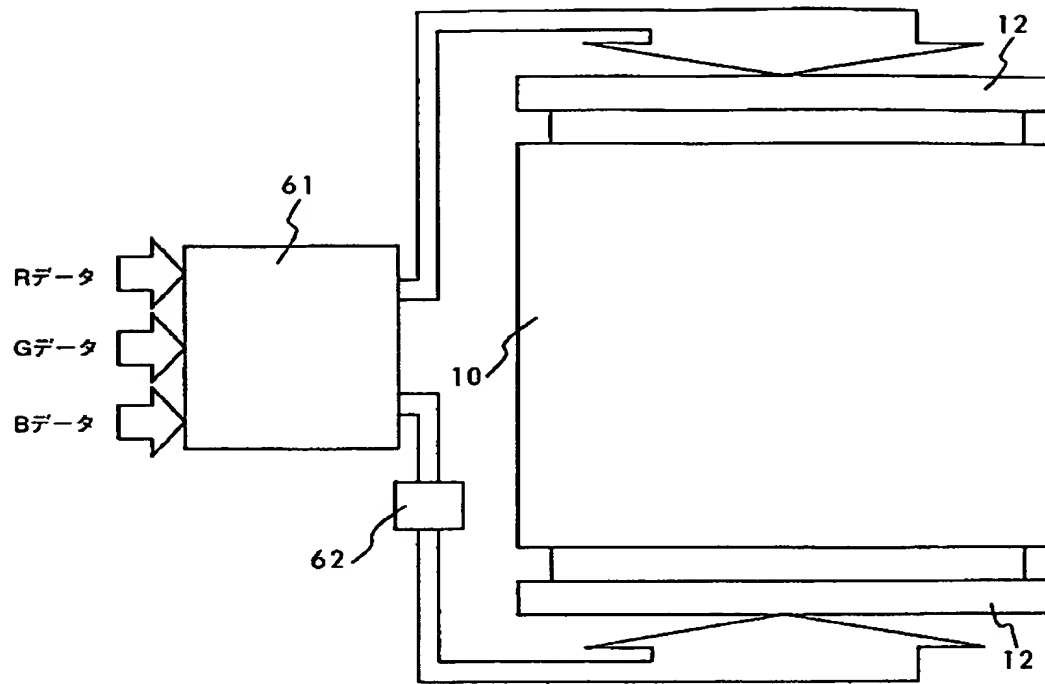
【図4】

図 4



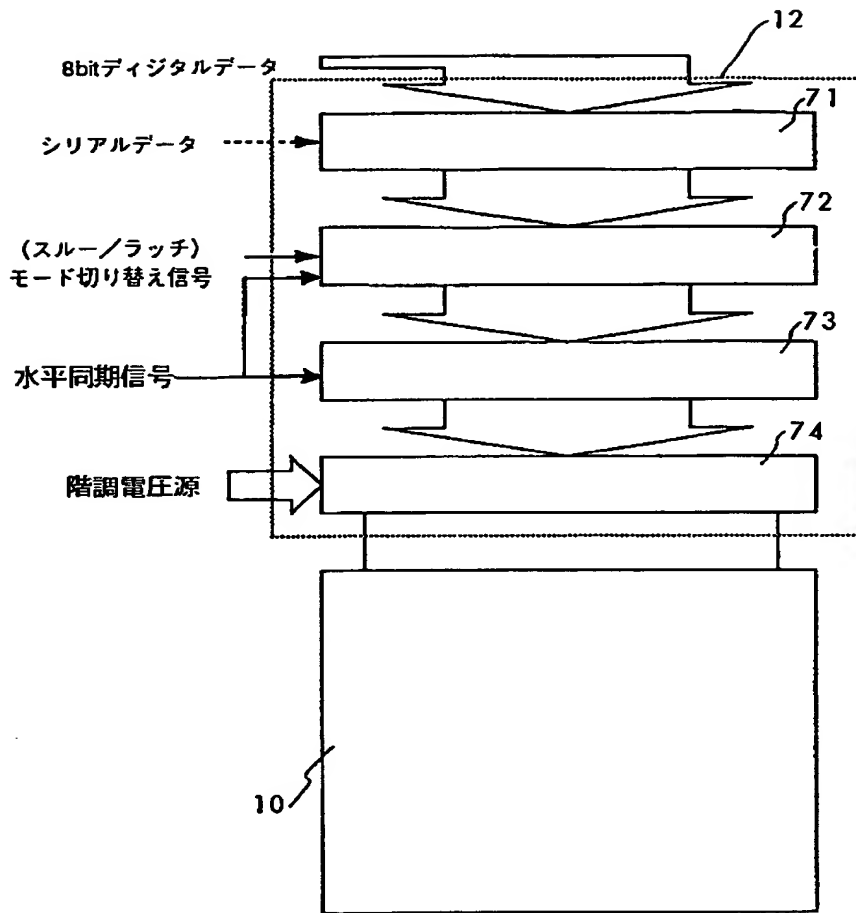
【図5】

図 5

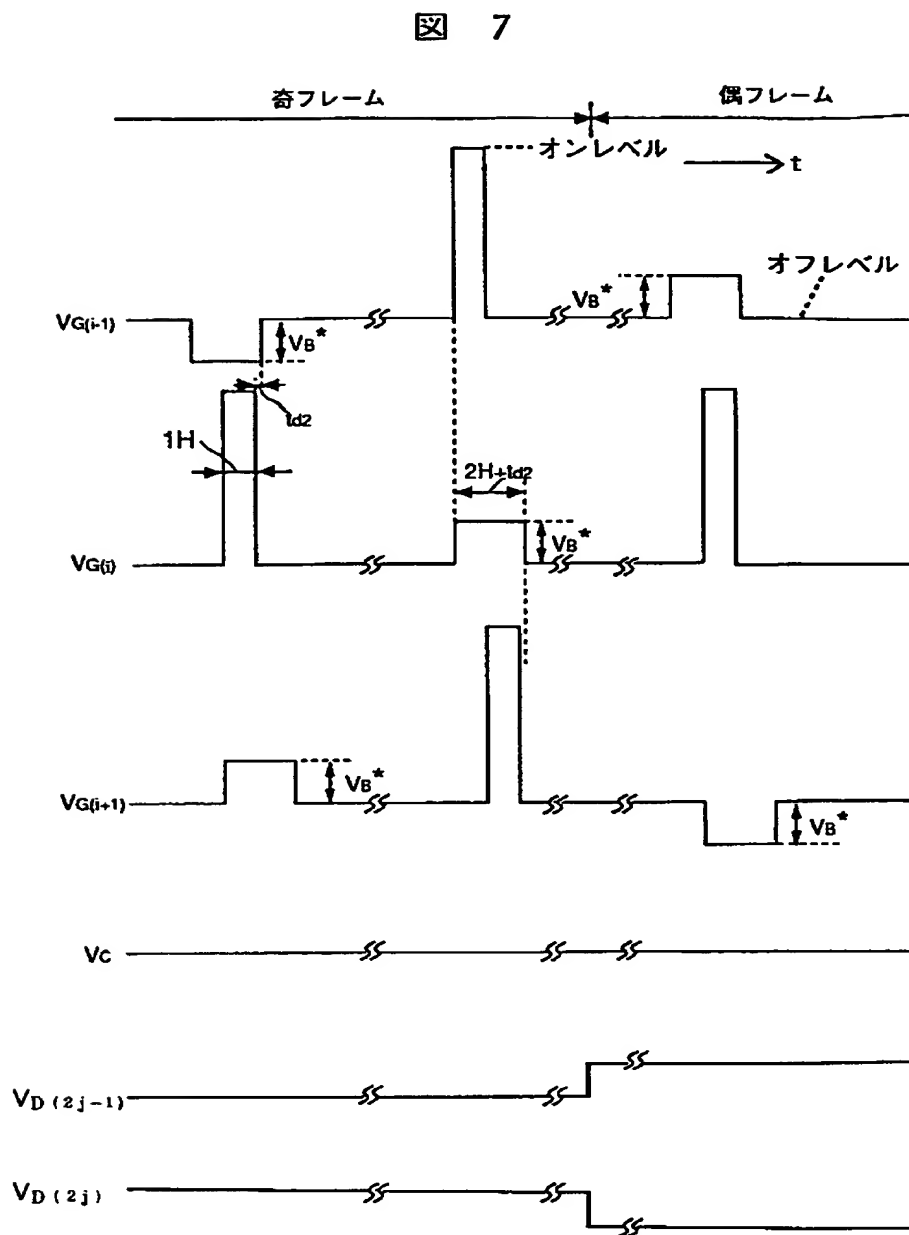


【図6】

図 6

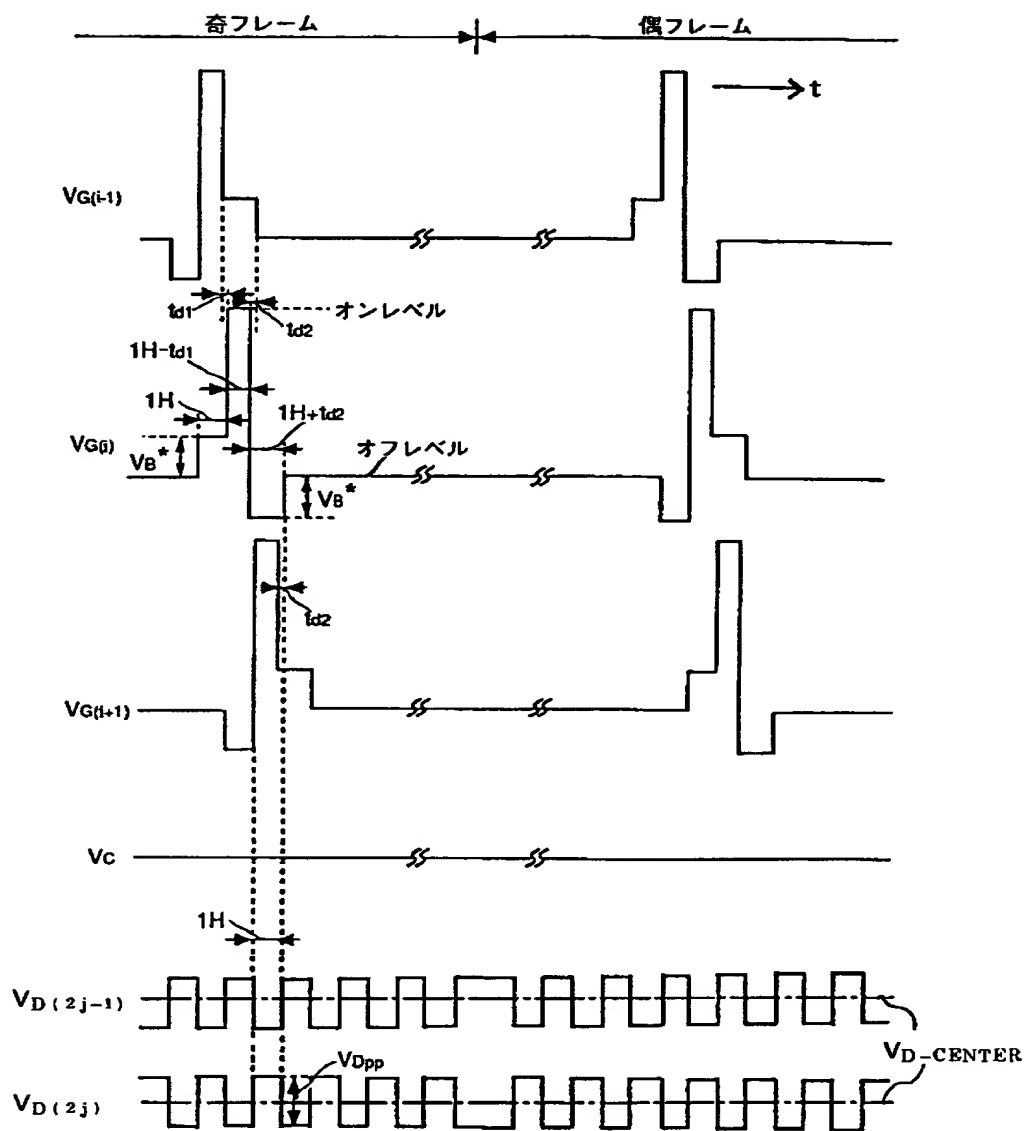


【図7】



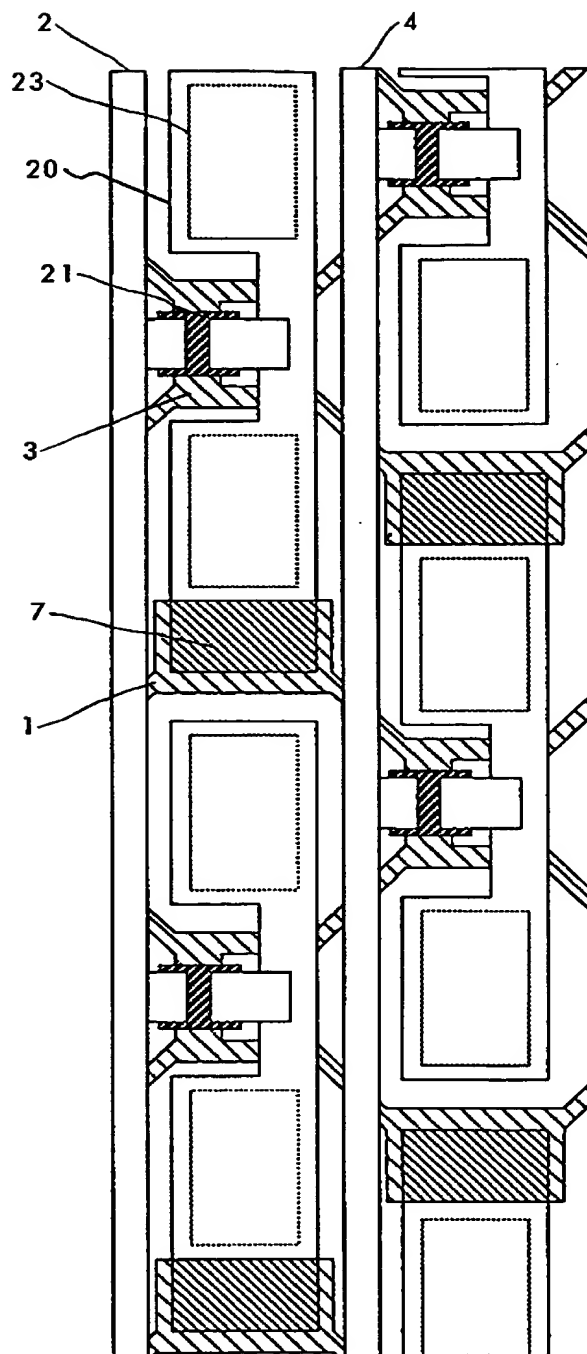
【図8】

図 8



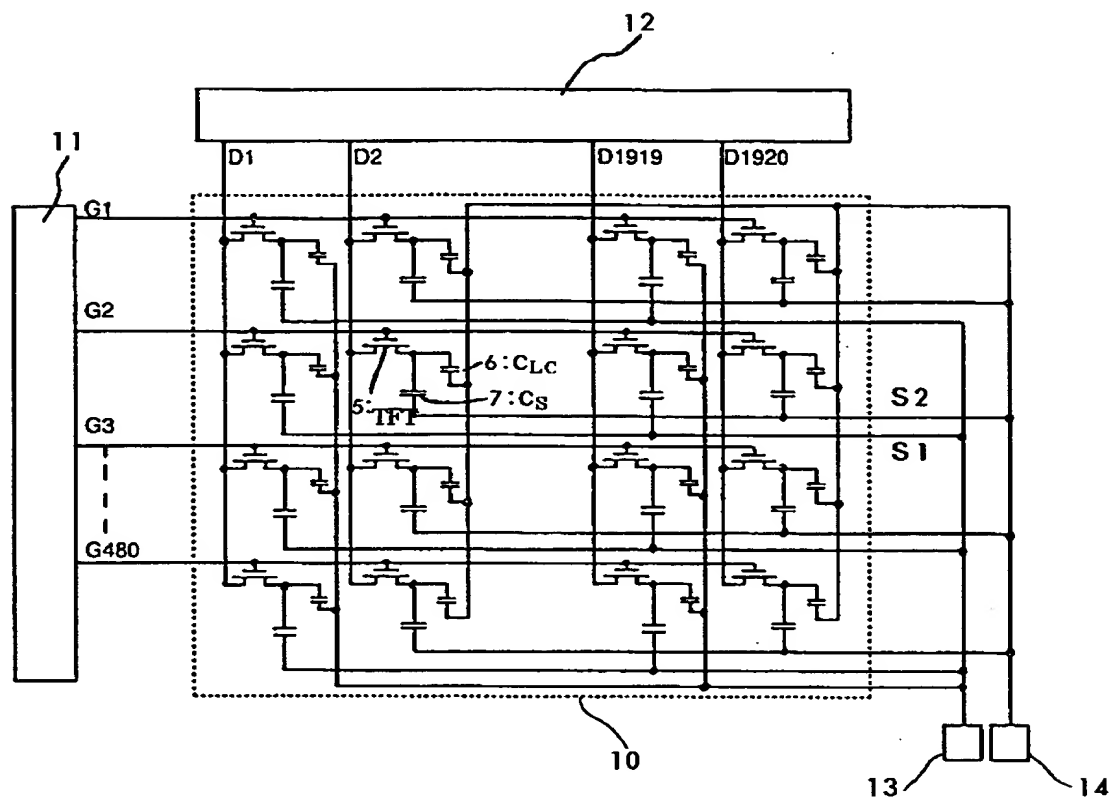
【図9】

図 9



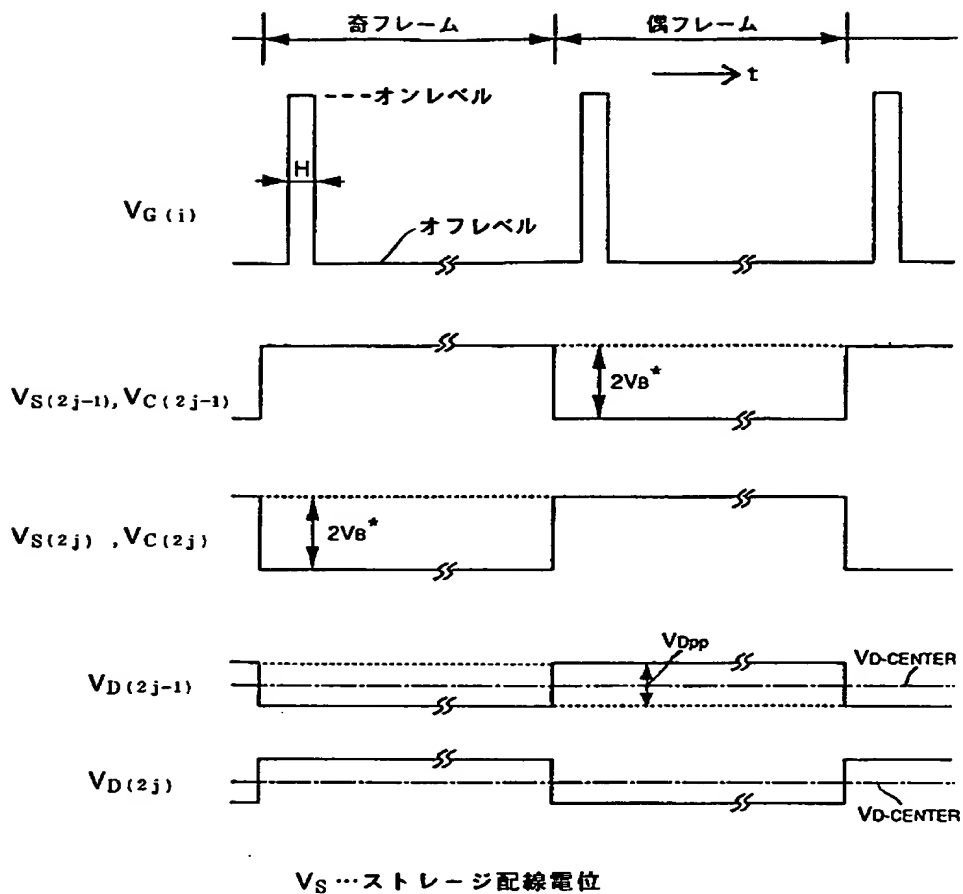
【図10】

図 10



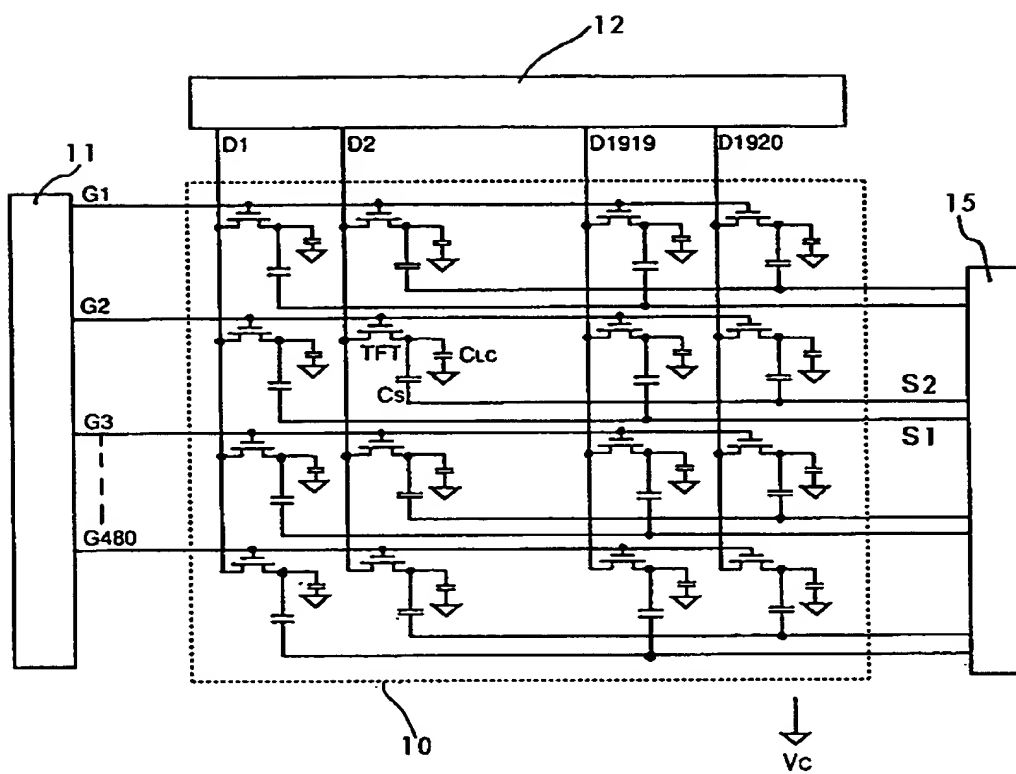
【図 11】

図 11



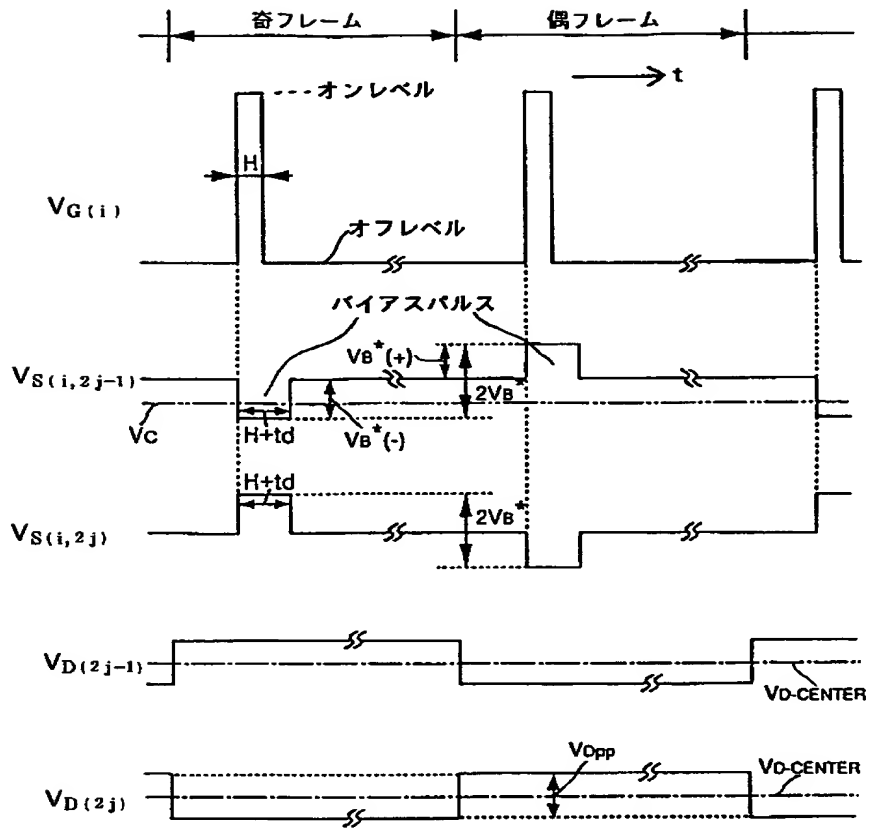
【図12】

図 12



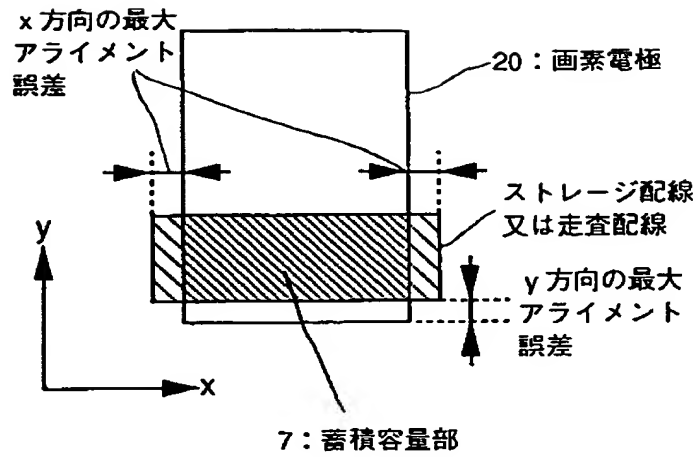
【図13】

図 13



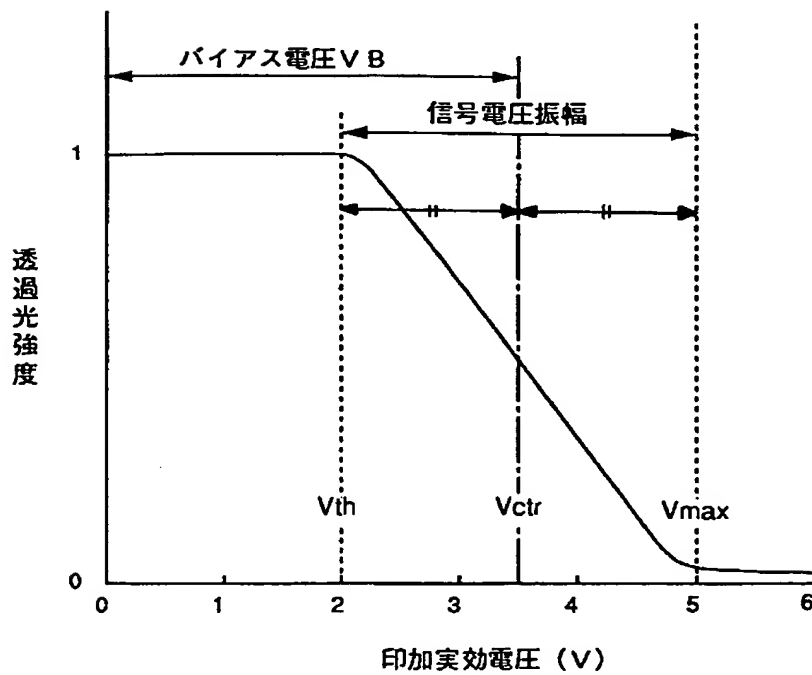
【図14】

図 14



【図15】

図 15



【書類名】 要約書

【要約】

【目的】

映像信号電圧の大きさを低減でき、かつ、クロストーク（スミア）の発生しない高画質のアクティブマトリクス型液晶表示装置を得る。

【構成】

任意の走査配線に接続されたTFTを2つのグループに分け、第1のグループに属する第1のTFTに対応した第1の蓄積容量の接地端子および第2のグループに属する第2のTFTに対応した第2の蓄積容量の接地端子をそれぞれ共通に接続し、前記第1の蓄積容量の接地端子に正負いずれか一方の極性の第1のバイアス信号を印加し、前記第2の蓄積容量の接地端子に他方の極性の第2のバイアス信号を印加するバイアス電圧発生回路と、走査配線を介し、第1のTFTに対応した第1の画素電極に正負いずれか一方の極性の第1の映像信号を供給し、第2のTFTに対応した第2の画素電極に他方の極性の第2の映像信号を供給する映像信号発生回路とを設けた。

【選択図】 図1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000005108
【住所又は居所】 東京都千代田区神田駿河台四丁目6番地
【氏名又は名称】 株式会社日立製作所
【代理人】 申請人
【識別番号】 100068504
【住所又は居所】 東京都千代田区丸の内1-5-1 株式会社日立製作所 知的所有権本部内
【氏名又は名称】 小川 勝男

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地

氏 名 株式会社日立製作所